

BACKGROUND ART INFORMATION

Japanese Utility Model Provisional Publication No. S60-40134

Laid-open Date: March 20, 1985

Inventor: Hiroshi Yamamoto

Title of Invention: ON-OFF CONTROL CIRCUIT

Abstract

This on-off control circuit plays an alternating current semiconductor switch that controllably switches on and switch off an alternating current signal by control signals. The on-off circuit employs two MOS FETs 3 and 4 controllably switch on and switch off the alternating current signal applied by an alternator 1.

The on-off circuit shown in Fig. 1 is comprised of a normally off type MOS FET 3 and a normally off type MOS FET 4, which are connected in series in opposite direction between both terminals of the alternator 1.

With this on-off circuit, if a first gate signal lies at a positive voltage and is applied from the gate terminal to a gate of the FET 3 while a second gate signal lies at a positive voltage and is applied from the gate terminal to a gate of the FET 4, both the FET 3 and the FET 4 are turned on. Therefore, during a period wherein the first and second gate signals lie at the positive voltage, a current flows from the first terminal to the second terminal when the first terminal is applied with the positive voltage whereas a current flows from the second terminal to the first terminal when the second terminal is applied with the positive voltage. On the other hand, if the first and second gate signals lie at zero voltage and are applied to the gates of the FET 3 and the FET 4, both the FET 3 and the FET 4 are turned off. For this reason, no current flows through the alternating current switch.

Best Available Copy

THIS PAGE BLANK (USPTO)

公開実用 昭和60— 40134

⑤ 日本国特許庁(JP)

⑥ 実用新案出願公開

⑦ 公開実用新案公報(U)

昭60— 40134

⑧ Int. Cl.⁴

識別記号

庁内整理番号

⑨ 公開 昭和60年(1985)3月20日

H 03 K 17/687
17/725

7105—5J
7105—5J

審査請求 未請求 (全 頁)

⑩ 考案の名称 オン・オフ制御回路

⑪ 実 願 昭58—130693

⑫ 出 願 昭58(1983)8月24日

⑬ 考 案 者 山 本 博 東京都港区芝5丁目33番1号 日本電気株式会社内

⑭ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑮ 代 理 人 弁理士 内 原 晋

明 細 書

1. 考案の名称

オン・オフ制御回路

2. 実用新案登録請求の範囲

1)、電界効果トランジスタのソース・ドレイン間
通路と負荷と交流電源とで構成される閉回路と、
前記交流電源の信号を整流して制御電圧を得る
整流回路と、前記制御電圧が所定値以上にな
った時導通する第1のスイッチング回路と、前
記制御電圧の前記電界効果トランジスタのゲー
ト電極への印加を制御する第2のスイッチング
回路を備えたことを特徴とするオン・オフ制御
回路。

5



10

2)、前記第1のスイッチング回路はサイリスタを
含むことを特徴とする実用新案登録請求の範囲
第1項記載のオン・オフ制御回路。

15

3)、前記電界効果トランジスタは第1および第2
の電界効果トランジスタを含み、それぞれソー

- 1 -

312

実開60-40134

公開実用 昭和60— 40134

ス電極同志ならびにゲート電極同志が接続されており、各第1および第2の電界効果トランジスタのソース・ドレイン間直列に接続されて前記負荷と前記交流電源と閉回路を構成していることを特徴とする実用新案登録請求の範囲第1項又は第2項記載のオン・オフ制御回路。

3. 考案の詳細な説明

本考案はオンオフ制御回路に係り、特に半導体スイッチ素子であるMOSFETを使用した、交流電力制御に要する駆動電力が小さくてすむオン・オフ制御回路に関するものである。

高電圧大電流を制御できるように設計されたMOSFETは、そのオン抵抗が小さいので、PN接合を有する交流制御用半導体スイッチに比較してオン損失および駆動電力を小さくできる利点がある。このMOSFETを交流回路に使用するには、MOSFETが一方向制御素子であるため、2個のMOSFETのソースを互いに接続し、ドレイン間に交流信号を加え、このドレイン間を開閉素子と

して使用する。そのためには、接続されたソースとゲートとの間に制御電圧を印加する回路はドレイン間に加えられる交流回路とは電氣的に分離しておく必要がある。

第1図は、MOSFETを使用した基本的交流オン・オフ制御回路であり、交流電源1は負荷2とともに2つのMOSFET3,4と直列に接続されている。各MOSFET3,4にはソース・ドレイン間に保護ダイオードが接続されている。各ソースと各ゲートはそれぞれ共通に接続されて、それら共通接続の間に抵抗5が接続されている。ゲート電圧は開閉器6によって直流電源7から加えられている。

今、図において開閉器6が開いているとMOSFET3,4のゲートソース間電圧は零でありMOSFET3,4はオフ状態である。開閉器6を閉じると、直流電源7の電圧がMOSFET3,4のゲートソース間に印加されてMOSFET3,4はオン状態になる。次に開閉器6を開くとMOSFET3,4のゲートソース間の静電容量に充電

公開実用 昭和60— 40134

されていた電荷が抵抗5を通じて放電しMOSFET3,4は再びオフになる。MOSFET3,4のゲート・ソース間の容量は1000(PF)程度であり、オン状態にするに必要な直流電圧は10(V)程度である。通常の負荷2を用いてオン・オフを行なうには、抵抗5は数10(K Ω)程度以下でよい。

このようにMOSFETを使用したオン・オフ制御回路は駆動に必要な電力がきわめて小さくてすむが、交流電源と分離された直流電源7が必要な欠点がある。

第2図は、MOSFETを使用したオン・オフ制御の他の従来例を示す図であり、図において第1図と同じ機能の部品は同一符号を付して示してある。すなわち、第1図と異なる点は、抵抗5と並列にホトトランジスタ13のエミッタ・コレクタ間が接続されており、コレクタには抵抗10を介してコンデンサ8と定電圧ダイオード9と抵抗11が接続されている。一方エミッタにはコンデンサ8と定電圧ダイオード9とが直接接続されている。抵抗11は整流ダイオード12を介して交流電源1に接続されている。要するにMOSFET3,4

のゲートは抵抗10, 11と整流ダイオード12を介して交流電源1に接続されている。

次に動作を説明すると、ホトトランジスタ13は図示していない発光ダイオード等と組合せたホトカブラの一部であり、光を受けていない状態ではオフ状態となる。交流電源1の極性が整流ダイオード12のアノードに正の電圧が印加される向きのとき、整流ダイオード12, 抵抗11, 定電圧ダイオードとコンデンサ8, MOSFET4の等価ダイオード(MOSFETの構造上ドレインソース間に接続されている)を通じて電流が流れる。コンデンサ8は最終的に定電圧ダイオード9のツェナー電圧まで充電され、抵抗10, 抵抗5を通じてMOSFET3, 4のゲートソース間にその電圧が印加される。印加電圧が前記10V以上であればMOSFET3, 4はオン状態になる。ホトトランジスタ13が受光してオンするとMOSFET3, 4のゲート電圧がほぼ零になりMOSFET3, 4はオフする。抵抗5は第1図で示したようにMOSFETのゲート・ソース間容量の電荷を直接

公開実用 昭和60—40134

放電するものではないので第2図の従来例では実質無限大でもよい。

さて、第2図の回路でMOSFET3, 4は非常に小さな電力でオン・オフ駆動できるので抵抗11を高抵抗値にできるが、コンデンサ8との時定数が大きくなりすぎると交流電源1に回路を接続した直後のコンデンサ8の充電電荷が零の状態から負荷2に電力を供給するという場合に(ホトトランジスタ13はオフ状態である)MOSFET3, 4のゲート・ソース間の電圧が除々に増加して、MOSFET3, 4がオンする過程で能動領域をゆっくり通過する。そのためMOSFET3, 4の損失が大きくなり著しく発熱する欠点があった。抵抗11の抵抗値を小さくしコンデンサ8との充電時定数を小さくすればMOSFET3, 4の発熱はさけられるが逆に抵抗11の発熱の増加を伴う欠点を生じる。

本考案の目的は交流電源とオン・オフ制御電流との電氣的分離が必要なく、かつ小電力で駆動できるオン・オフ制御回路を提供することにある。

本考案によれば、MOSFETによって交流信号の負荷への印加を制御するオン・オフ制御回路において、交流信号を整流しこれをサイリスタの如きスイッチング素子を介してMOSFETのゲートに制御電圧として印加するとともに、この制御電圧の印加はスイッチによって制御されるオン・オフ制御回路を得る。

5

次に、図面を参照して本考案をより詳細に説明する。

第3図は本考案の一実施例を示す回路図であり、図において第1図第2図と同一の機能の部品は同一の符号を付して示してある。その他の機能として、抵抗10とMOSFET3,4の共通ゲートとの間にはスイッチング回路14が設けられている。スイッチング回路14についてさらに説明すると、それは例えば第4図に示すような構成のものが用いられる。すなわち、PNPトランジスタ15とNPNトランジスタ16とをサイリスタ形式に接続し、PNPトランジスタ15のベースとNPNトランジスタ16のエミッタとの間に定電圧ダイ

10

15

20

公開実用 昭和60— 40134

オード17を接続したものである。かかるスイッチング回路14はPNPトランジスタ15のエミッタとNPNトランジスタ16のエミッタ間の印加電圧が定電圧ダイオード17のツェナー電圧とPNPトランジスタ15のエミッタ・ベース間電圧の和（これをスイッチング電圧という）よりも高くなるとオンし、PNPトランジスタ15とNPNトランジスタ16の正帰還作用によりオン状態が継続する。すなわち、PNPトランジスタ15とNPNトランジスタ16とはサイリスタを構成している。したがって、第3図においては、交流電源1に回路を接続した直後はコンデンサ8の充電電荷が零の状態から徐々に充電されてその端子電圧が増加するが、この時スイッチング回路14がオフ状態であるので、MOSFET3,4のゲートソース間電圧は零でありオフ状態を維持する。コンデンサ8の充電電圧がスイッチング回路14のスイッチング電圧に達すると、スイッチング回路14は導通して抵抗10,抵抗5で分割された電圧がMOSFET3,4のゲートソース間に印加さ

れMOSFET 3, 4はオンする。このようにコン
デンサ8と抵抗11による充電時定数が長くなっ
ても、MOSFET 3, 4のゲート・ソース間には
所定の制御電圧が一瞬にして印加される。これに
より、MOSFET 3, 4の過渡状態はなく、MOS
FET 3, 4での不要な電力消費はなくなる。

以上説明したように、本考案によれば、元々オ
ン・オフ制御に必要な駆動電力がきわめて小さい
MOSFETを高抵抗の使用電力が少なくてすむ回
路で利用できる利点がある。

4. 図面の簡単な説明

第1図、第2図は従来のオン・オフ制御回路を
示す回路図である。

第3図は本考案の一実施例によるオン・オフ制
御回路を示す回路図であり、第4図は第3図の一
実施例に用いられるスイッチング回路の一例を示
す回路図である。

1……交流電源、2……負荷、3, 4……MOS
FET、5, 10, 11……抵抗、6……開閉器、

公開実用 昭和60-40134

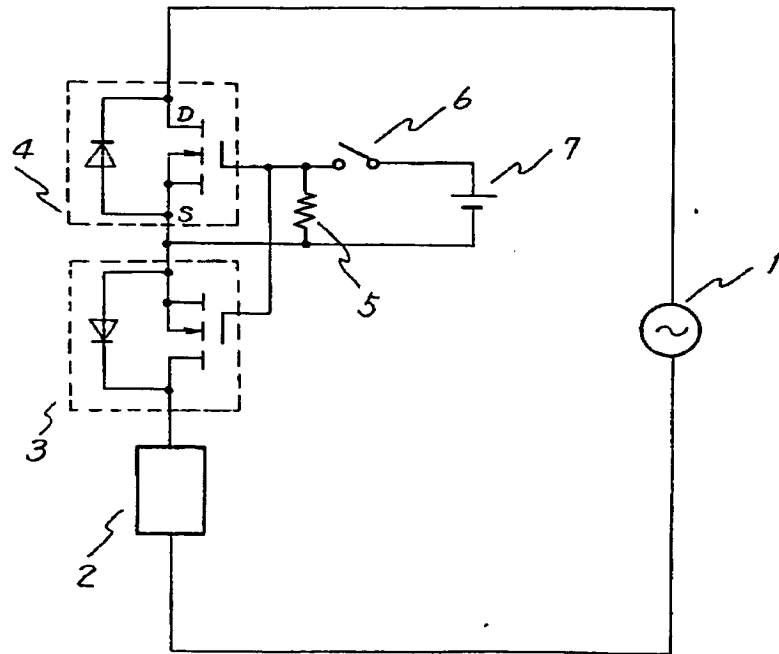
7 …… 直流電源、8 …… コンデンサ、9、17 ……
… 定電圧ダイオード、12 …… 整流ダイオード、
13 …… ホトトランジスタ、14 …… スイッチン
グ回路、15 …… PNP トランジスタ、16 ……
NPN トランジスタ。

代理人 弁理士 内 原

普



公開実用 昭和60-40134



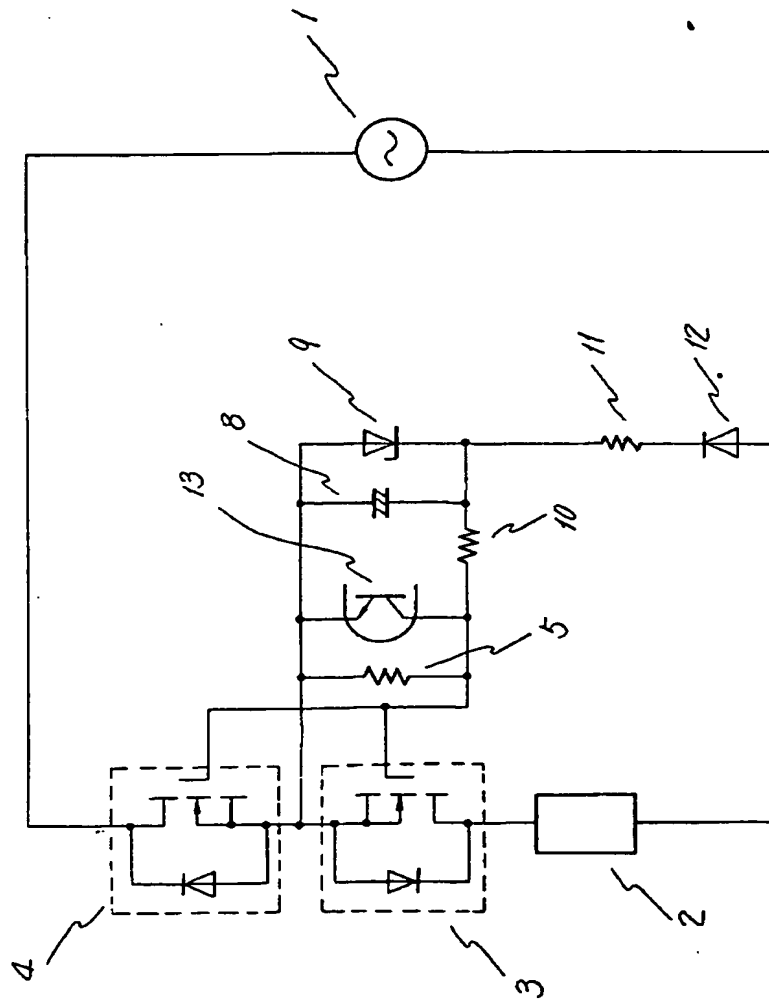
第1図

322

代理人 弁理士 内原 晋



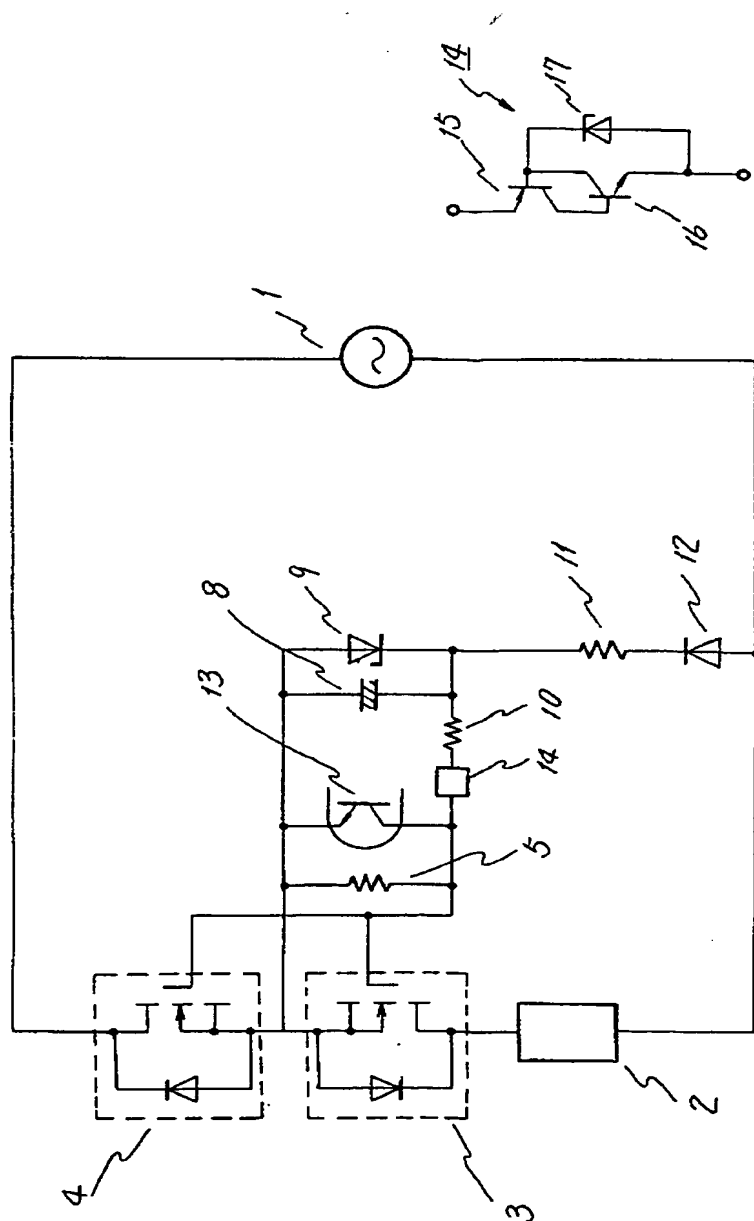
実開昭60-40134



第2図

代理人 弁理士 内 原 晋

公開実用 昭和60-40134



第4図

第3図



代理人 内原 晋

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)